

JP4246728

Publication Title:

INFORMATION PROCESSOR

Abstract:

Abstract of JP4246728

PURPOSE:To constitute the processor so that a software for rewriting an instruction itself is processed as expected without limiting the number of instructions inputted to an instruction buffer from a main storage.
CONSTITUTION:The processor is provided with an instruction buffer 41 in which an instruction fetched from a main storage device 10 is held by forming a pair with its instruction address, and an executive instruction address buffer 51 in which an instruction address of an executive instruction is held. An instruction executing mechanism 50 discriminates whether an instruction of an instruction rewriting destination address exists in the buffer 41 or the buffer 51 or not, and executes rewriting of the instruction concerned in the buffer 41, or refetch of the instruction after the instruction rewriting instruction in accordance with a result of its discrimination. Also, at the time of decoding the refetched instruction, when an address of its instruction coincides with an instruction rewriting destination address, an instruction decoding mechanism 40 waits for rewriting of its instruction.

Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>

特開平4-246728

(43) 公開日 平成4年(1992)9月2日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/38	3 1 0 A	8725-5B		
9/318				
9/38	3 5 0 B	8725-5B	G 0 6 F 9/30	3 2 0 C
		9189-5B		

審査請求 未請求 請求項の数 2 (全 6 頁)

(21) 出願番号 特願平3-12191

(22) 出願日 平成3年(1991)2月1日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中田 恭正

東京都府中市東芝町1番地 株式会社東芝

府中工場内

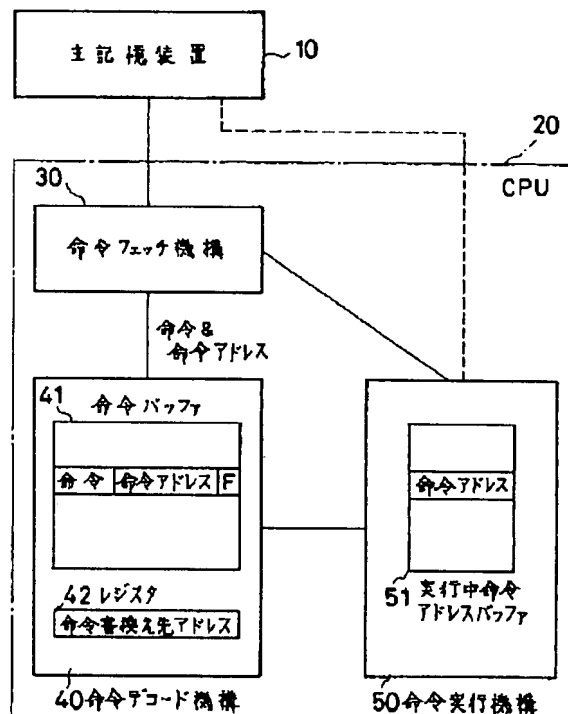
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 情報処理装置

(57) 【要約】

【目的】 命令自身を書換えるソフトウェアが、主記憶から命令バッファに取込む命令数を制限することなく期待通りに処理されるようにすることである。

【構成】 主記憶装置10からフェッチされた命令がその命令アドレスと対をなして保持される命令バッファ41と、実行中命令の命令アドレスが保持される実行中命令アドレスバッファ51が設けられる。命令実行機構50は、命令書換え命令を実行する際、その命令で指定される命令書換え先アドレスの命令が、バッファ41内か否かを判別し、その判別結果により、バッファ41内の該当命令の書換え、或いは命令書換え命令以降の命令の再フェッチを行う。また命令デコード機構40は、再フェッチされた命令を解釈する際、その命令のアドレスが命令書換え先アドレスに一致するならば、その命令が書換えられるのを待つ。



【特許請求の範囲】

【請求項1】 主記憶装置から命令を取込む命令フェッチ手段と、この命令フェッチ手段によって取込まれた命令およびその命令アドレスの対を一時格納する命令バッファを持ち、同バッファから格納順に命令を取出して解読する命令デコード手段と、この命令デコード手段によって解読された命令の実行を司り、実行中命令の命令アドレスを実行完了まで保持する命令実行手段であって、命令を書換えるための命令書換え命令の実行に際しては、その命令書換え先アドレスと同じ命令アドレスが同命令実行手段および上記命令バッファのうちの上記命令バッファだけに保持されているか否かを調べ、上記命令バッファだけに保持されている場合には、上記主記憶装置上の該当アドレスの命令と共に、上記命令バッファ上の該当命令を書換える命令実行手段と、を具備し、命令書換え命令実行時に、書換え対象命令が既に命令バッファに取込まれていることをアドレス比較により検出して、同バッファ上の該当命令も書換えるようにしたことを特徴とする情報処理装置。

【請求項2】 上記命令実行手段は、上記命令書換え命令の実行に際しては、その命令書換え先アドレスと同じ命令アドレスが同命令実行手段内に保持されているか否かを調べ、保持されている場合には、上記命令バッファに保持されているか否かに無関係に、命令実行を全てキャンセルすると共に上記命令バッファを無効にし、且つ上記命令書換え命令の命令アドレスからの命令取込みを上記命令フェッチ手段に要求すると共に上記命令書換え先アドレスを上記命令デコード手段に送り、上記命令デコード手段は、上記命令実行手段から送られた命令書換え先アドレスと同じ命令アドレスの命令を解読対象命令として上記命令バッファから取出して解読する際には、この命令が上記命令実行手段によって書換えられたことを確認することを特徴とする請求項1記載の情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、主記憶装置から命令を先取りしてから解読するまでの間、その先取りした命令をバッファに格納する機構を備え、特に命令自身を書換える命令（命令書換え命令）を実行する場合に好適な情報処理装置に関する。

【0002】

【従来の技術】近年の情報処理装置では、処理の高速化のために、主記憶装置からCPUに命令を先取りして命令デコード機構内のバッファ（命令バッファ）に一時格納し、同バッファから命令を順に取出して解読して命令実行に供する命令フェッチデコード方式が適用されることが多い。このような情報処理装置において、例えば計算結果に応じて（その計算結果に合った命令を実行するために）命令自身を書換えながら実行されるソフトウェ

アを走行させることがある。

【0003】さて従来は、命令自身を書換える命令（命令書換え命令）が命令バッファから取出されて解読され実行される場合、同書換え命令で指定される主記憶装置上の命令アドレス（書換え対象アドレス）の命令（書換え対象命令）が書換えられるだけであった。このため、命令書換え命令が実行される前に、同書換え命令の書換え対象となる命令が既にCPU内にフェッチされていると、同書換え命令で指定される主記憶装置上の命令は書換えられるものの、CPU内にフェッチされている該当命令は書換えられないため、期待通りの処理が行われないという問題があった。

【0004】

【発明が解決しようとする課題】上記したように、主記憶装置から幾つかの命令を前もってデコード機構内の命令バッファに取込み、その命令を順に取出して解読して実行する従来の情報処理装置では、実行される命令が命令書換え命令の場合、同書換え命令で指定される主記憶装置上の命令アドレスの命令（書換え対象命令）が書換えられるだけであったため、この書換え対象命令が既に命令バッファ内にフェッチされていると、或いは実行中であるならば、書換え前の命令が実行されてしまい、期待通りの処理が行われないという問題があった。そこで、従来は、あまり多くの命令を前もってフェッチしないとか、或いはそのようなソフトウェアを実行させないという制限がつけられていた。

【0005】この発明は上記事情に鑑みてなされたものでその目的は、命令自身を書換えるソフトウェアが、主記憶装置から命令バッファに取込む命令数を制限することなく期待通り処理される情報処理装置を提供することにある。

【0006】

【課題を解決するための手段】この発明は、命令フェッチ手段によって主記憶装置から取込まれた命令とその命令アドレスを一時格納する命令バッファを持つ命令デコード手段と、この命令デコード手段によって解読された命令の実行を司り、実行中命令の命令アドレスを実行完了まで保持する命令実行手段とを設け、上記命令実行手段において命令書換え命令を実行する際には、その命令書換え先アドレスと同じ命令アドレスが同命令実行手段および命令バッファのうちの上記命令バッファだけに保持されているか否かを調べ、命令バッファだけに保持されている場合には、主記憶装置上の該当アドレスの命令の書換えと共に、命令バッファ上の該当命令を書換えるようにしたことを特徴とする。

【0007】また、命令実行手段は、上記命令書換え先アドレスと同じ命令アドレスが自手段内に保持されている場合には、同アドレスが命令バッファに保持されているか否かに無関係に、命令実行を全てキャンセルすると共に命令バッファを無効にし、且つ命令書換え命令の命

令アドレスからの命令取込みを命令フェッチ手段に要求すると共に命令書換え先アドレスを命令デコード手段に送り、これを受けた命令デコード手段は、送られた命令書換え先アドレスと同じ命令アドレスの命令を解読対象命令として命令バッファから取出して解読する際には、この命令が命令実行手段によって書換えられたことを確認することを特徴とする。

【0008】

【作用】上記の構成において、命令フェッチ手段は主記憶装置から命令を取込むと、同命令およびその命令アドレスの対を命令デコード手段に送る。この命令デコード手段に送られた命令および命令アドレスの対は命令デコード手段内の命令バッファに格納される。命令デコード手段は、通常状態では命令バッファから格納順に命令を取出して解読し、その解読結果と命令アドレスを命令実行手段に送る。命令実行手段は、解読された命令を実行すると共に同命令の命令アドレスを実行完了まで保持する。

【0009】命令実行手段は、命令書換え命令を実行する際に、同命令の命令書換え先アドレスと同じ命令アドレスが同実行手段内、或いは命令バッファに保持されているかを調べる。もし、同じ命令アドレスが命令バッファだけに保持されている場合には、命令実行手段は主記憶装置上の該当アドレスの命令の書換えと共に命令バッファ上の該当命令の書換えを行う。これにより、この命令バッファ上の該当命令が解読されて実行された場合には、期待通りの処理が行われる。

【0010】また、命令実行手段は、命令書換え命令の命令書換え先アドレスと同じ命令アドレスを自身で保持している場合には、この命令アドレスが命令バッファに保持されているか否かに無関係に、命令実行を全てキャンセルすると共に命令バッファを無効にし、且つ命令書換え命令の命令アドレスからの命令取込みを命令フェッチ手段に要求すると共に命令書換え先アドレスを命令デコード手段に送る。命令フェッチ手段は、命令実行手段からの要求に応じて、命令書換え命令の命令アドレスからの命令取込みを行い、取込んだ命令とその命令アドレスの対を命令デコード手段に送る。命令デコード手段に送られた命令および命令アドレスの対は命令デコード手段内の命令バッファに格納される。命令デコード手段は、命令バッファから格納順に命令を取出して解読する。この際、命令デコード手段は命令実行手段から命令書換え先アドレスが送られていることから、解読しようとする命令と対を成す命令アドレスと命令書換え先アドレスとを比較する。そして命令デコード手段は、両アドレスが一致していなければ、即ち解読しようとする命令が書換えられるべき命令でなければ、そのまま解読を行い、その解読結果を命令アドレスと共に命令実行手段に送る。これに対して、両アドレスが一致していれば、即ち解読しようとする命令が書換えられるべき命令であれ

ば、命令デコード手段は、その命令（命令バッファ内の解読対象命令）が命令実行手段によって書換えられるのを待ち、書換えられたことを確認してから解読を行う。これにより、命令解読結果が命令実行手段に送られて実行された場合には、期待通りの処理が行われる。

【0011】

【実施例】図1はこの発明の一実施例に係る情報処理装置のブロック構成図である。図1において、10は命令およびデータが格納される主記憶装置、20は主記憶装置10に格納されている命令を取込んで実行するCPUである。CPU20は、主記憶装置10から命令をフェッチし、同命令の命令アドレス（ここでは仮想アドレス）との対を次に述べる命令デコード機構40に送る命令フェッチ機構30、命令フェッチ機構30によってフェッチされた命令の解読を行う命令デコード機構40、および命令デコード機構40によって解読された命令を実行する命令実行機構50を備えている。

【0012】命令デコード機構40は、命令フェッチ機構30から送られた命令とその命令アドレスの対を格納する命令バッファ41と、命令実行機構50における命令書換え命令の実行に際して特定条件が成立した場合に同機構50から送られる命令書換え先アドレスを保持するためのレジスタ42とを持つ。命令バッファ41に格納される命令および命令アドレスの対には、同命令が（命令実行機構50による命令書換え命令の実行によって）書換えられたか否かを示すフラグFが付されている。また命令実行機構50は、命令デコード機構40によって解読された命令の命令アドレスを、その命令の実行終了まで保持するための実行中命令アドレスバッファ51を持つ。

【0013】図2は命令実行機構50における命令書換え命令実行処理手順を説明するためのフローチャート、図3は命令実行機構50から命令書換え先アドレスが与えられている場合の命令デコード機構40における処理手順を説明するためのフローチャートである。

【0014】次に、図1の構成の動作を、図2および図3のフローチャートを適宜参照して説明する。まず命令フェッチ機構30は、主記憶装置10から前もって幾つかの命令をCPU20内に取込み、取込んだ命令とその命令アドレスの対を命令デコード機構40に順に送る。命令デコード機構40に送られた命令およびその命令アドレスの対は、命令デコード機構40内の命令バッファ41に順に格納される。

【0015】命令デコード機構40は、命令バッファ41に格納された命令をその格納順に取出して解読する。命令デコード機構40は、命令解読結果とその命令の命令アドレスとを命令実行機構50に送ると共に、命令バッファ41上の該当命令とその命令アドレスを無効にする。命令実行機構50は命令デコード機構40によって解読された命令を実行すると共に、命令デコード機構4

0から送られたその命令の命令アドレスを、命令アドレスバッファ51に順に格納する。この命令アドレスバッファ51に格納された命令アドレスは、該当命令の実行が終了すると、命令実行機構50によって無効にされる。

【0016】さて、命令実行機構50では、命令デコード機構40によって解読された命令をパイプライン的に連続的に実行することが可能となっている。ここで、命令実行機構50において主記憶装置10上の命令自身を書換えるための命令書換え命令が実行されるものとする。この場合、命令実行機構50は命令デコード機構40内の命令バッファ41（の命令アドレスフィールド）、および自身が持つ実行中命令アドレスバッファ51を参照し、命令書換え命令で指定される命令書換え先アドレス（例えば命令書換え命令が持つ命令書換え先を示す仮想アドレス）に一致する命令アドレスを探す（図2ステップS1）。

【0017】もし、命令書換え先アドレスに一致する命令アドレスが、命令バッファ41および命令アドレスバッファ51のいずれにも存在しない場合には（図2ステップS2）、命令実行機構50は従来と同様の命令書換え命令実行処理を行い、同命令の指定する主記憶装置10上の命令書き書換え先アドレスの命令（書換え対象命令）を書換える（図2ステップS3）。この書換えを終了すると、命令実行機構50は実行中命令アドレスバッファ51に保持されていた該当命令（命令書換え命令）の命令アドレスを無効にする。

【0018】また、命令書換え先アドレスに一致する命令アドレスが命令バッファ41（の命令アドレスフィールド）だけに存在する場合には（図2ステップS4）、命令実行機構50は従来と同様に命令書換え命令の指定する主記憶装置10上の命令書き書換え先アドレスの命令（書換え対象命令）を書換えると共に、同じ書換えを、その命令アドレスと対をなして命令バッファ41に格納されている命令に対しても行う（図2ステップS5）。命令実行機構50はステップS5にて命令バッファ41上の命令を書換えた際、同命令とその命令アドレスの対に付されているフラグFをオンし、同命令が書換えられたことを示す。命令実行機構50は以上のステップS5を終了すると、実行中命令アドレスバッファ51に保持されていた該当命令（命令書換え命令）の命令アドレスを無効にする。

【0019】次に、命令書換え先アドレスに一致する命令アドレスが（実行中命令の命令アドレスを保持するための）実行中命令アドレスバッファ51に存在する場合には、命令実行機構50は同アドレスが命令バッファ41のアドレスフィールドに存在するか否かに無関係に以下の動作を行う。まず命令実行機構50は、命令バッファ41を全て無効にすると共に、実行中命令アドレスバッファ51を最も古い命令アドレスを残して全て無効に

する（図2ステップS6）。この実行命令アドレスバッファ51に残された最も古い命令アドレスは、命令書換え命令の命令アドレスのはずであることから、命令実行機構50はこの命令アドレスから再び命令フェッチをやり直すように命令フェッチ機構30に要求し、それと同時に、この命令書換え命令の指定する命令書換え先アドレスを命令デコード機構40に送る（図2ステップS7）。この際、命令実行機構50は、実行命令アドレスバッファ51に残された最も古い命令アドレスを無効にする。

【0020】さて、命令実行機構50から命令デコード機構40に送られた命令書換え先アドレスは、同機構40内のレジスタ42に保持される。一方、命令フェッチ機構30は命令実行機構50からの再フェッチを受けると、要求された命令アドレス（実質的に実行されなかった書換え命令の命令アドレス）からの再フェッチを行う。これにより、上記書換え命令を先頭とする幾つかの命令が主記憶装置10からCPU20に順に取込まれる。命令フェッチ機構30によってCPU20に順に取込まれた命令は、その命令アドレスと対をなして命令デコード機構40に送られる。命令デコード機構40に送られた命令およびその命令アドレスの対は、命令デコード機構40内の命令バッファ41に順に格納される。

【0021】命令デコード機構40は、レジスタ42に命令書換え先アドレスが保持されている場合には、図3のフローチャートに従う動作を行う。即ち命令デコード機構40は、命令バッファ41に格納された命令を順に取出して解読しようとする際には、まず命令バッファ41内で解読対象命令と対をなして保持されている命令アドレスと、レジスタ42に保持されている命令書換え先アドレスとを比較する（図3ステップS11）。

【0022】もし、解読対象命令の命令アドレスと命令書換え先アドレスとが一致していなければ（図3ステップS12）、即ち解読対象命令が実質的に実行されなかった命令書換え命令によって書換えられるべき命令でない場合には、命令デコード機構40はその解読対象命令の解読を行う（図3ステップS13）。そして命令デコード機構40は、命令解読結果とその命令の命令アドレスとを命令実行機構50に送ると共に、命令バッファ41上の該当命令とその命令アドレスを無効にする（図3ステップS14）。

【0023】これに対し、解読対象命令の命令アドレスと命令書換え先アドレスとが一致していれば、即ち解読対象命令が実質的に実行されなかった命令書換え命令によって書換えられるべき命令である場合には、命令デコード機構40はその解読対象命令（命令書換え対象命令）が（図2ステップS5に従う命令実行機構50の命令書換え命令の実行により書換えられるのを待つ（ステップS15）。本実施例において、解読対象命令が書換えられたか否かは、解読対象命令とその命令アドレスの

対に付されているフラグFを参照することにより判別可能であり、命令デコード機構40は同フラグFがオンされたことを検出すると、解説対象命令が書換えられたものとして、その解説対象命令の解説を行う(図3ステップS13)。そして命令デコード機構40は、命令解説結果とその命令の命令アドレスとを命令実行機構50に送ると共に、命令バッファ41上の該当命令とその命令アドレス(およびフラグF)を無効にする(図3ステップS14)。

【0024】

【発明の効果】以上詳述したようにこの発明によれば、主記憶装置からCPUにフェッチされた命令を解説終了まで保持するための命令バッファに、命令と対をなしてその命令アドレスが保持される構成とすると共に、命令実行手段内に、実行中の命令の命令アドレスが保持される構成とすることにより、命令書換え命令を実行する際に、その命令で指定される命令書換え先アドレスの命令(書換え対象命令)が、命令バッファ内に存在するか、或いは実行中であるかが判別でき、その判別結果により命令バッファ内の該当命令の書換え、或いは命令書換え

命令以降の命令の再フェッチを行うことにより、命令書換え命令による命令書換えの対象となる命令を必ず書換えが施された後に実行することができるようになり、どんなに多くの命令を前もって主記憶装置から命令バッファにフェッチしていても、命令自身を書換えるソフトウェアを期待通りに処理することができる。

【図面の簡単な説明】

【図1】この発明の一実施例に係る情報処理装置のブロック構成図。

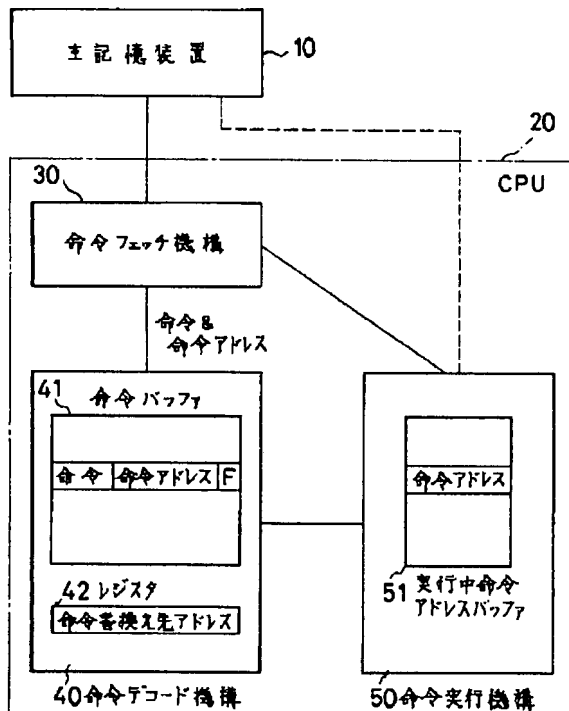
10 【図2】図1に示す命令実行機構50における命令書換え命令実行処理手順を説明するためのフローチャート。

【図3】図1に示す命令実行機構50から命令書換え先アドレスが与えられている場合の命令デコード機構40における処理手順を説明するためのフローチャート。

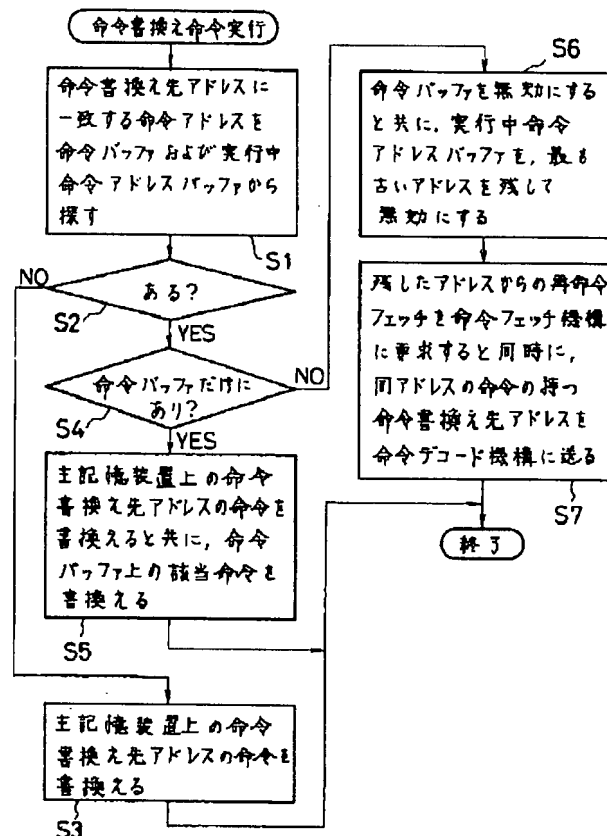
【符号の説明】

10…主記憶装置、20…CPU、30…命令フェッチ機構、40…命令デコード機構、41…命令バッファ、42…レジスタ、50…命令実行機構、51…命令アドレスバッファ。

【図1】



【図2】



【図3】

